

	<p>Normas Europeas de Modelismo</p> <p><b>Sistema de control digital DCC</b></p> <p><b>Paquetes de datos básicos</b></p>	<p><b>NEM</b></p> <p><b>671</b></p> <p>Página 1 de 4</p>
---	--	--

**Norma de obligado cumplimiento**

**Edición de 2007**  
(reemplaza la edición de 2005)

**Observación 1:** el contenido de la NEM 671 es conforme al estándar NMRA S 9.2 (Edición Julio del 2004). Esta versión es la referencia para las comprobaciones de conformidad.

NEM 671 follows the NMRA-Standard S 9.2. This version is the basis for conformance tests.

**Observación 2:** esta norma no asegura una compatibilidad descendente con los antiguos descodificadores de 14 pasos de velocidad y una función adicional, así como con los antiguos descodificadores en el que el reloj interno no sería compatible con el factor de forma de señal definido en esta norma.

## 1. Objetivo de la norma

Esta norma describe los paquetes de datos elementales (paquetes de datos básicos) que deben emitirse por una central DCC.

## 2. Definiciones

Un paquete de datos DCC es una sucesión definida de bits que se especifican como señal de vía en la NEM 670.

Un paquete de datos DCC básico se compone de un número mínimo de bits y grupos de bits, llamados en resumen paquete de datos.

Un grupo de bits está compuesto por 8 bits y se le llama octeto. Cada bit de un octeto tiene un valor que se determina en función de su posición en el grupo, el primer bit a partir de la izquierda al valor más grande, se llama MSB (most significant bit). Los bits de un octeto se numeran de izquierda a derecha de 7 a 0. El bit de más a la derecha se llama LSB (least significant bit).

## 3. Formato general de un paquete de datos DCC

La descripción siguiente de los elementos de un paquete de datos en bits y octetos define un paquete de datos válidos y sirve para activar los descodificadores.<sup>1</sup>

Las secuencias 4 y 5 pueden repetirse varias veces.

Los paquetes de datos DCC básicos se componen de las siguientes secuencias:

1 - **Sincronización:** El preámbulo de un paquete se compone de una sucesión de bits « 1 » para asegurar la sincronización. Un descodificador debe declarar no válido un paquete de datos que contiene menos de 10 bits « 1 » y no debe necesitar más de 12 bits « 1 » para funcionar correctamente.<sup>2</sup> Una central de mando debe transmitir siempre al menos 14 bits « 1 ».

2 - **Bit Start:** El Bit Start es el primer bit « 0 » que sigue a la secuencia de sincronización. El Bit Start termina la secuencia de sincronización e indica al descodificador, que los bits que le siguen constituyen un octeto de dirección.

3 - **Octeto de dirección:** El primer octeto del paquete de datos es normalmente un octeto de dirección, contiene la dirección codificada del descodificador al cual va destinada la información.<sup>3</sup> El primer bit del octeto de dirección es el bit más significativo (MSB). Los octetos de direcciones con los siguientes valores: 0000 0000 (=0), 1111 1110 (=254) y 1111 1111 (=255) se reservan para funciones especiales y no deben ser transmitidos, exceptuando las funciones especiales inherentes a la norma o para aplicaciones precisa aconsejadas por el fabricante.

4 – **Bit Start del octeto de datos:** Este bit « 0 » precede al octeto de datos que le sigue.

<sup>1</sup> Se autorizan los descodificadores que reconocen otros formatos además del estándar DCC (ver §6.)

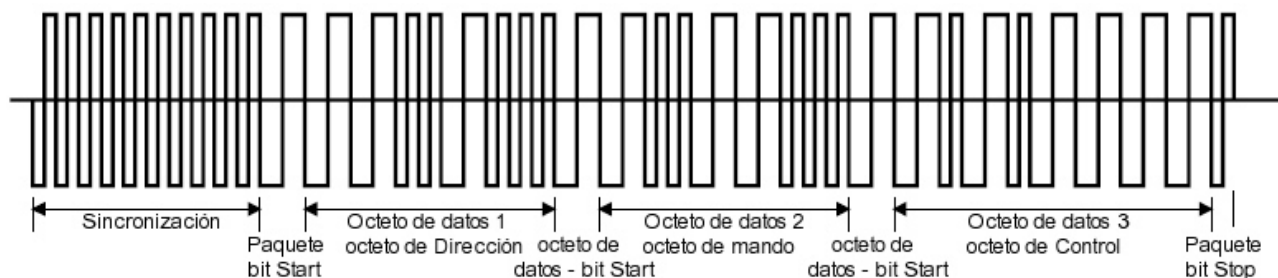
<sup>2</sup> El último bit de un paquete puede ser tomado en cuenta como uno de los bits de sincronización del paquete siguiente si no hay bits entre paquetes.

3 El primer octeto puede ser igualmente utilizado como octeto de mando en ciertos casos.

5 – **Octeto de datos:** Los 8 bits que forman el octeto de datos se utilizan como direcciones, instrucciones (órdenes de ejecución), datos o como octeto de control para la detección de errores de transmisión. El primer bit del octeto de datos es el bit más significativo (MSB).

6 – **Bit Stop:** El bit stop es un bit « 1 » que señala la finalización de la transmisión de un paquete.<sup>4</sup>

Figura 1 Paquete de datos DCC básico, compuesto por tres octetos de datos (1 octeto de dirección, 1 octeto de datos, 1 octeto de control), con el código de dirección 55 para el sentido de marcha “adelante” graduado en 11.



#### 4. Formato de paquetes de datos DCC básicos

Este estándar define la interoperatividad mínima entre los diferentes sistemas DCC. Una central debe codificar los comandos del usuario en forma de paquetes de datos básicos y un descodificador debe interpretar correctamente tales paquetes de datos para proporcionar así comandos eléctricos apropiados al material motor conectado. Los paquetes de datos más complejos que soportan diferentes tipos de descodificadores, funciones adicionales, direccionamiento extendido o pasos de velocidad más numerosos no están descritos en esta norma.

##### 4.1 Paquetes de datos DCC básicos para la regulación de velocidad y sentido de marcha de las locomotoras.

Formato del paquete de datos DCC básico:

<b>11111111111111</b>	<b>0</b>	<b>0AAAAAAA</b>	<b>0</b>	<b>01DCSSSS</b>	<b>0</b>	<b>EEEEEEEE</b>	<b>1</b>
Sincronización		Octeto de datos 1		Octeto de datos 2		Octeto de datos 3	

Octeto de datos 1 – Octeto de dirección: El octeto de dirección transmite la dirección del receptor previsto para recibir los datos.

El bit 7 es un bit “0” y señala que el byte de datos es un octeto de dirección.

Los 7 bits (A) que siguen son portadores de la dirección binaria del destinatario.

**Importante:** Un descodificador digital debe aceptar todo el rango de direcciones posibles salvo si se especifica claramente una limitación en el direccionamiento.

Octeto de datos 2 – Octeto de mando: El octeto de mando encamina las informaciones de velocidad y sentido de marcha a la locomotora seleccionada.

Los bits 7 y 6 contienen la secuencia 01 que señala el octeto de datos como si fuera un octeto de mando.<sup>4</sup>

El bit 5 (D) define el sentido de marcha, si el valor es « 1 » la locomotora avanza <sup>5</sup>, si el valor es « 0 » la locomotora retrocede.

El bit 4 (C) tiene una función especial (de mando) y es el bit menos significativo (LSB) para la definición del control de velocidad.

Los bits 3 – 0 (SSSS) definen con el bit 4, la velocidad de marcha en código binario. La tabla 1 describe la relación entre el código binario y la graduación.

Octeto de datos 3 – Octeto de control: El octeto de control permite al descodificador descubrir los errores de transmisión.

Este octeto se genera en la central DCC, por adición lógica bit a bit, del octeto de dirección y del octeto de mando. La función lógica utilizada es “O – EXCLUSIVO (XOR)”. El descodificador digital compara el octeto de control recibido con el O – EXCLUSIVO de los octetos de Dirección y de Control recibidos y debe ignorar el paquete de datos si la comparación falla.

4. Las otras configuraciones posibles de los bits 6 y 7 se reservan para otros tipos de comandos.

5. Marcha adelante, significa que la locomotora se desplaza, puesto de conducción 1 hacia adelante.

6. La configuración de un decodificador puede ser modificado inmediatamente después de un mensaje de puesta a cero.

**Tabla 1:** Relación entre la codificación de los bits S 3-0, C y la graduación

S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación	S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación	S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación	S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S <sub>0</sub> C	graduación
0 0 0 0 0	Stop	0 1 0 0 0	5	1 0 0 0 0	13	1 1 0 0 0	21
0 0 0 0 1	Stop <sup>+</sup>	0 1 0 0 1	6	1 0 0 0 1	14	1 1 0 0 1	22
0 0 0 1 0	EStop <sup>*</sup>	0 1 0 1 0	7	1 0 0 1 0	15	1 1 0 1 0	23
0 0 0 1 1	EStop <sup>**</sup>	0 1 0 1 1	8	1 0 0 1 1	16	1 1 0 1 1	24
0 0 1 0 0	1	0 1 1 0 0	9	1 0 1 0 0	17	1 1 1 0 0	25
0 0 1 0 1	2	0 1 1 0 1	10	1 0 1 0 1	18	1 1 1 0 1	26
0 0 1 1 0	3	0 1 1 1 0	11	1 0 1 1 0	19	1 1 1 1 0	27
0 0 1 1 1	4	0 1 1 1 1	12	1 0 1 1 1	20	1 1 1 1 1	28

- Parada de urgencia (emergency stop), el decodificador tiene que parar la locomotora ¡lo antes posible!
- + El bit de dirección (bit 5) puede ignorarse para las funciones dependientes de la dirección (opcional).

#### 4.2 Paquete de datos DCC básicos para la puesta a cero general de los descodificadores

Formato de datos DCC básicos:

1111111111111111	0	00000000	0	00000000	0	00000000	1
Sincronización		Octeto de datos 1		Octeto de datos 2		Octeto de datos 3	

El paquete de datos DCC para la puesta a cero general de los descodificadores está constituido por tres octetos en los que todos los bits están a cero. Cuando un descodificador recibe este paquete de datos, debe borrar todas sus memorias no permanentes (comprendidos los datos de velocidad y sentido de marcha) y pasar a su estado normal de puesta bajo-tensión. Si la locomotora está en movimiento, el descodificador le debe aplicar una parada de urgencia.

En los 20 milisegundos que siguen a un paquete de puesta a cero general, una central de mando no debe enviar un paquete de datos con una dirección comprendida entre 01100100 (dirección 100) y 01111111 (dirección 127) ambas inclusive, salvo si quiere pasar al modo « Service ». <sup>6</sup>

### 4.3 Paquete de datos DCC básico vacío

Formato de datos DCC básicos:

1111111111111111	0	11111111	0	00000000	0	11111111	1
Sincronización		Octeto de datos 1		Octeto de datos 2		Octeto de datos 3	

El paquete de datos en el cual el primero y tercer octeto contienen ocho bits « 1 » y el segundo octeto contiene ocho bits « 0 » es un paquete de datos vacío.

Los descodificadores que reciben este paquete de datos no deben iniciar nuevas acciones y se deben comportar como si hubieran recibido un paquete de datos para otro descodificador.

#### 4.4 Paquete de datos DCC básico – señal de parada general

Formato de datos DCC básicos:

11111111111111	0	00000000	0	01DC000S	0	EEEEEEEE	1
Sincronización		Octeto de datos 1		Octeto de datos 2		Octeto de datos 3	

El paquete de datos en el que el primer octeto contiene 8 bits « 0 », en el que el segundo octeto contiene una orden de parada específica y en el que el tercer octeto contiene un octeto de control idéntico al octeto 2, es el paquete de datos que señala la parada general.

Cuando el bit 0 del octeto de datos 2 (bit S) contiene un « 0 », los descodificadores que controlan una locomotora deben comenzar el procedimiento de parada de ésta. (ralentización después de la parada de la función de la inercia programada en el descodificador).

Si el bit S es un « 1 », los descodificadores deben parar inmediatamente las locomotoras cortando la corriente del motor. Frecuencia de transmisión de los paquetes de datos DCC básica.

#### 4.5 Espaciamiento de paquetes de datos

Los paquetes de datos emitidos hacia los descodificadores deben repetirse tan pronto como sea posible, ya que se puede perder un paquete por culpa de perturbaciones debidas a la mala conductividad eléctrica entre los raíles y las ruedas o los pantógrafos. La transmisión de la señal de vía puede interrumpirse entre el bit de fin de paquete y los bits de sincronización del paquete siguiente con el fin de permitir la emisión de otro tipo de señal de control (bidireccionalidad). Un descodificador debe reaccionar a los paquetes de datos que se le dirijan cuando el intervalo entre el último bit del primer paquete y el primer bit del segundo paquete es al mínimo de 5 milisegundos.<sup>7</sup>

Intervalo mínimo entre dos paquetes de datos:  $t_D > 5 \text{ ms}$ . Intervalo de tiempo

Si un descodificador recibe una secuencia de bits con un «bit start» faltó o no válido o un «bit stop» faltó o no válido o un «octeto de control» no conforme, debe reconocer la «secuencia de sincronización» válida siguiente como el inicio de un nuevo paquete.

Sólo se puede transmitir a la vía otro tipo de señal de mando si está entre el bit de stop de un paquete y el inicio de la secuencia de sincronización del paquete siguiente.

#### 4.6 Frecuencia de emisión de paquetes de datos

Tiene que ser posible configurar una central de control DCC con el fin que emita un paquete de datos al menos cada 30 milisegundos, medidos entre los bits de Start de los paquetes.

Tiempo de repetición entre los paquetes de datos DCC:  $t_R \leq 30 \text{ ms}$ . tiempo de repetición t

### 5. Comportamiento de los descodificadores en la conversión automática de diferentes estándares.

Los fabricantes de descodificadores se han animado a proponer una conversión automática entre diferentes tipos de señal de vía en formatos de control además de la señal DCC, con la condición de que el paso a estos otros modos de funcionamiento pueda ser inhibido.

Cuando la función « conversión automática » está activada, los descodificadores deben quedar en modo DCC mientras que el intervalo de tiempo entre los bits « start » de los dos paquetes consecutivos sea inferior o igual a 30 milisegundos. Si la función « conversión automática » está desactivada, los descodificadores deben quedarse en modo DCC, sea cual sea el intervalo de tiempo entre los bits « start » de los dos paquetes consecutivos.<sup>8</sup>

Tiempo de espera antes del paso de un descodificador digital a un modo no DCC:

$t_w \geq 30 \text{ ms}$  tiempo de latencia

<sup>7</sup> La configuración de un descodificador pueden tomarse para no emitir dos paquetes de datos espaciados en menos de 5 milisegundos en una misma dirección comprendida entre 112 (binario 0111 10000) y (011 11111). Los descodificadores más viejos podrían interpretar paquetes de datos en modo de servicio.

<sup>8</sup> Ciertos descodificadores DCC más viejos deben recibir un paquete de datos DCC válido al menos en 30 milisegundos para impedir una conmutación en modo analógico. Un paso de repetición más largo de 30 milisegundos puede llevar a una degradación de las características de los descodificadores.